



TP N° : 3

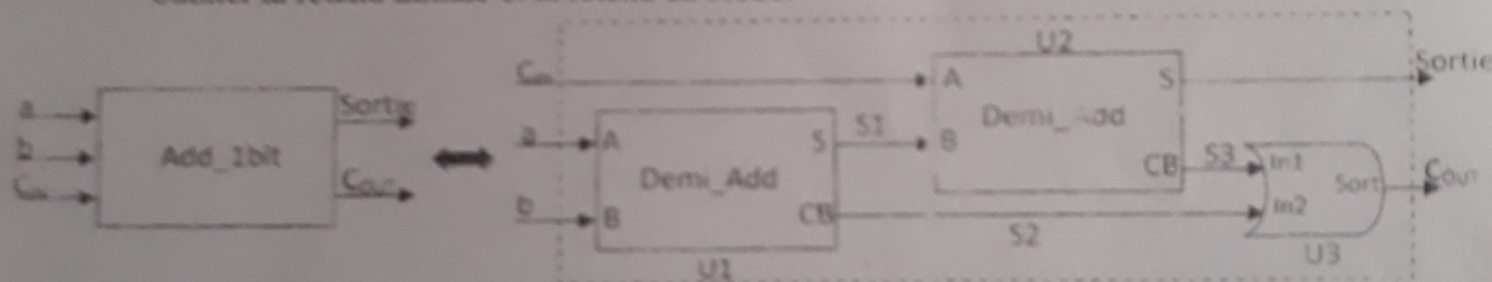
Description des circuits combinatoires et arithmétiques (2)

Objectif : L'objectif de ce TP est de réaliser d'autres circuits arithmétiques et leurs fichiers de test afin d'aborder d'autres aspects du langage VHDL comme :

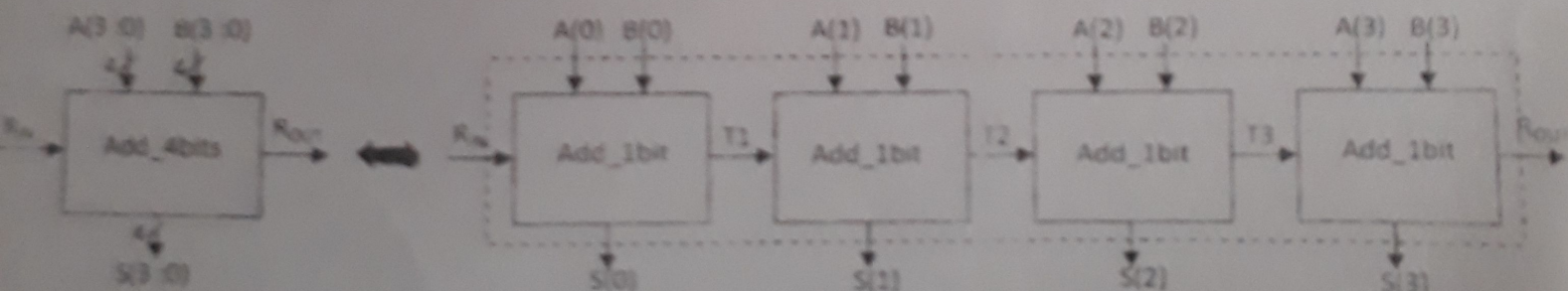
- ✓ Les paramètres génériques pour les tailles des composants.
- ✓ L'utilisation des tableaux.
- ✓ L'utilisation de l'instruction "GENERATE".
- ✓ L'instruction séquentielle d'attente inconditionnelle dans le fichier de test : wait
- ✓ L'instruction séquentielle d'itération dans le test bench : for...Loop.

Travail demandé :

- 1- Réaliser l'additionneur complet de 1bit en utilisant le demi-additionneur de 1 bit sans oublier la retenue initiale et la retenue en sortie.



- 2- Réaliser un additionneur complet de 4 bits en utilisant un additionneur complet de 1 bit (Add_1bit). La description structurelle et le paquetage sont utilisés.



- 3- Réaliser un additionneur complet de N bits tous en instanciant le composant Add_1bit à l'aide de l'instruction COMPONENT. On doit déclarer le paramètre générique N dans l'entité et utiliser l'instruction GENERATE dans le programme principal de l'Add_Nbits.
- 4- Réaliser une simulation fonctionnelle de l'additionneur complet, de l'additionneur complet de 4 bits et de l'additionneur N bits.