



Examen Final (Corrigé-type)

La séance de consultation des copies d'examen aura lieu Mardi à 11h (Amphi C2)

Questions de cours : (5 points)

45 ‘

1. Pour convertir 32 bits il faudrait 11 chiffres en octal ou 8 chiffres en hexadécimal.	01																									
2. L'architecture des ordinateurs actuels est appelée : L'architecture de Von Neumann	01																									
3. La norme IEEE 754 permet la représentation des nombres : <input type="checkbox"/> Entiers signés <input type="checkbox"/> Réels à virgule fixe <input checked="" type="checkbox"/> Réels à virgule flottante	01																									
4. Le nombre de lignes d'entrées d'un démultiplexeur $8 \times 3 =$ (01) une seule ligne	01																									
5. Il est possible d'obtenir un décodeur en branchant l'entrée E d'un multiplexeur sur 1. <input type="checkbox"/> Vrai <input checked="" type="checkbox"/> Faux	01																									
6. Les circuits logiques permettant de mémoriser un bit sont appelés Circuits séquentiels.	01																									
7. Compléter le tableau de vérité pour une bascule RS : <table border="1" data-bbox="411 1393 1161 1615"><thead><tr><th>S</th><th>R</th><th>Q</th><th>\bar{Q}</th><th>Etat de la bascule</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>Q</td><td>\bar{Q}</td><td>Sorties inchangées</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>RESET : Remise à 0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>SET : mise à 1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>Non utilisée (état instable)</td></tr></tbody></table>	S	R	Q	\bar{Q}	Etat de la bascule	0	0	Q	\bar{Q}	Sorties inchangées	0	1	0	1	RESET : Remise à 0	1	0	1	0	SET : mise à 1	1	1	0	0	Non utilisée (état instable)	02
S	R	Q	\bar{Q}	Etat de la bascule																						
0	0	Q	\bar{Q}	Sorties inchangées																						
0	1	0	1	RESET : Remise à 0																						
1	0	1	0	SET : mise à 1																						
1	1	0	0	Non utilisée (état instable)																						
8. Le bus d'adresse est : <input checked="" type="checkbox"/> Unidirectionnel <input type="checkbox"/> Bidirectionnel	01																									
9. Les processeurs sont classés selon leurs jeux d'instruction en 2 grandes familles : CISC et RISC.	01																									



Exercice 3 : Mémoires (5 points)

25 ‘

On considère une machine avec la configuration suivante :

- Mémoire centrale de taille 1 KOctets
- Mot Mémoire de taille 2 Octets

Remplir le tableau suivant (formule + résultat) :

1) La taille minimale du bus de données = Taille du mot-mémoire = 16 bits	02
2) La taille minimale du bus d'adresses = $\log_2 \left(\frac{C}{n} \right) = \log_2 \left(\frac{2^{10}}{2} \right) = \log_2(2^9) = 9$ bits	02
3) La taille de cette mémoire = 2^{10} mots de 8 bits = 2^7 mots de 64 bits	01

Exercice 2 : Processeurs (5 points)

20 ‘

Commenter les instructions suivantes dans les 2 modes sachant que :

[ACC] = 200 ; [40] = 120 ; [120] = 10 ; [10] = 40, les instructions ADD (+) SUB(-) MPY(x) DIV(/) correspondent aux opérations arithmétiques et STR permet le stockage en mémoire.

	Immédiat	Direct	
10 ADD 40	[Acc]=[Acc]+40=200+40=240	[Acc]=[Acc]+[40]=200+120=320	01
11 SUB 120	[Acc]=[Acc]-120=240-120=120	[Acc]=[Acc]-[120]=320-10=310	01
12 MPY 10	[Acc]=[Acc]*10=120*10=1200	[Acc]=[Acc]*[10]=310*40=12400	01
13 DIV 120	[Acc]=[Acc]/120=1200/120=10	[Acc]=[Acc]/[120]=12400/10=1240	01
14 STR 40	[40]=[Acc]=10	[40]=[Acc]=1240	01