



TP N°1

Description des opérateurs de base

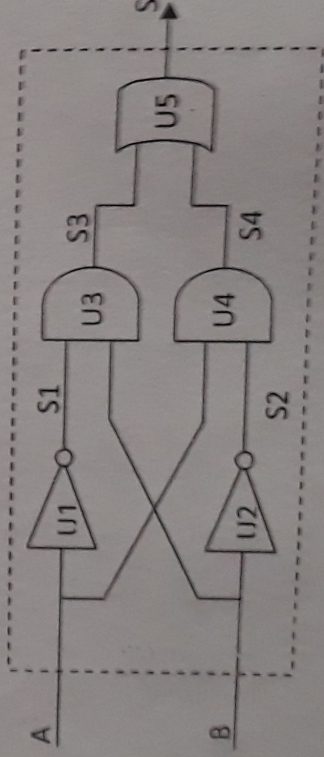
Objectif : séance d'initiation sur le langage VHDL ainsi que les outils de CAO. Pour cela, nous commençons par la description matérielle des opérateurs de base de la logique. Le logiciel utilisé est **ISE FOUNDATION** qui est développé et commercialisé par la société **XILINX**, il permet de réaliser toutes les phases de conception de systèmes digitaux sur des composants reconfigurables (FPGA) de la société **XILINX**.

L'objectif de ce TP est de découvrir :

- ✓ Les trois niveaux de description d'un circuit afin de réaliser les fonctions de logique combinatoire (opérateurs de base).
- ✓ L'instanciation des composants déjà construits et compilés à l'aide de l'instruction **COMPONENT**.
- ✓ L'utilisation des signaux internes dans les programmes principaux.
- ✓ L'utilisation des mots clés du VHDL : **PROCESS** et **PORT MAP**.
- ✓ **Structure** du fichier pour le **banc de test**.
- ✓ **L'instruction concurrente** d'affectation à temps non nul utilisée dans la simulation fonctionnelle: **<= after**.
- ✓ Observer les résultats sur la **fenêtre des courbes**.

Travail demandé :

- 1- Réaliser les opérateurs de base de la logique combinatoire (les portes : ET, OU, Inverseur, NON-ET, NON-OU).
- 2- Réaliser la porte XOR en utilisant les trois descriptions (flot de données, comportementale, structurelle) en faisant appel aux composants déjà réalisés en utilisant : **COMPONENT**.



- 3- Ecrire un fichier de test (TEST Bench) en langage VHDL de la porte XOR, tous en entrant des valeurs pour les stimuli (les signaux d'entrées) et observer le résultat sur la fenêtre des courbes.